

Your Ref: 69509-302277  
Our Ref: PA808S

**Translation of Selected Portions of  
Pat. Laid-open Official Gazette**

-----  
Appln. No: 3-183011  
Appln. Date: June 27, 1991  
Laid-open Pub. No: 5-6330  
Laid-open Pub. Date: January 14, 1993

Inventor(s): Shuji Yanagisawa  
Applicant(s): Oki Electric Industry K.K.  
Attorney(s): Yukio Sato  
-----

**1. Title of the Invention**

**BUS CONTROL SYSTEM OF EXTENDED UNIT**

**2. Claims**

(omitted)

**3. Detailed Description of the Invention (Selected Portions)**

**1)**

(omitted)



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-6330

(43)公開日 平成5年(1993)1月14日

(51)Int.Cl.<sup>5</sup>

G 0 6 F 13/36

識別記号

3 1 0 Z

庁内整理番号

7052-5B

F I

技術表示箇所

審査請求 未請求 請求項の数1(全5頁)

(21)出願番号 特願平3-183011

(22)出願日 平成3年(1991)6月27日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 柳澤 修二

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

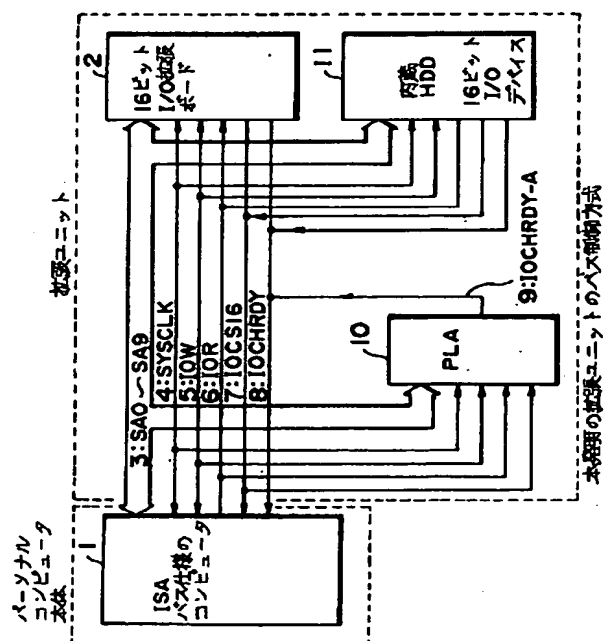
(74)代理人 弁理士 佐藤 幸男

(54)【発明の名称】 拡張ユニットのバス制御方式

(57)【要約】

【目的】 低速な拡張ボードの使用を可能とする。

【構成】 プログラマブルロジックアレイ10により、まず、コンピュータ1から出力される入出力アドレス3が、当該コンピュータ1の仕様に応じた標準ウェイト時間を超える信号遅延を伴う拡張ボード2に割り当てられた範囲のアドレスであるか否かが判定される。そして、当該範囲のアドレスであるときは、コンピュータ1からの入出力アクセス信号5又は6の出力時に当該コンピュータ1に対し、直ちに入出力ウェイト信号9が出力される。





## 【特許請求の範囲】

【請求項1】 コンピュータから出力される入出力アドレスが、当該コンピュータの仕様に応じた標準ウェイト時間を超える信号遅延を伴う拡張ボードに割り当てられた範囲のアドレスであるか否かを判定し、当該範囲のアドレスであるときは、前記コンピュータからの入出力アクセス信号の出力時に当該コンピュータに対し、直ちに入出力ウェイト信号を出力するプログラマブルロジックアレイを設けたことを特徴とする拡張ユニットのバス制御方式。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、小型パーソナルコンピュータ等のコンピュータの機能を拡張するための拡張ユニットのバス制御方式に関するものである。

## 【0002】

【従来の技術】 パーソナルコンピュータ用のI/O拡張バスとして広く普及しているバス制御方式の1つに、ISA(Industrial Standard Architecture)バス制御方式がある。ISAバスは、IBM社のPC-ATのバス方式に準拠しており、オープン・アーキテクチャ（情報公開）である。このため、現在多くのコンピュータメーカーのパーソナルコンピュータに採用されている。

【0003】 図2は、従来の拡張ユニットの接続状態を示す図である。図示のように、コンピュータ1に対し、I/O拡張ボード2がISAバスにより接続されている。即ち、この図は、上述したISAバス仕様に準拠したI/O拡張ボード2の16ビットI/Oのリードライトに必要な信号線名を示す。アドレス(SA0~SA9)3は、コンピュータ1が出力するメモリアドレス又は入出力アドレスである。

【0004】 SYCLK信号4は、各種の装置の動作の同期をとるものである。IOW信号5は、ロウレベルにされることにより、I/O拡張ボード2へのデータのライトを指示する。IOR信号6は、ロウレベルにされることにより、I/O拡張ボード2からのデータのリードを指示する。IOCS16信号7は、I/O拡張ボード2がアドレス3の入力により出力する信号である。

【0005】 図3は、図2のコンピュータ1からI/O拡張ボード2へのアクセス動作を説明するタイムチャートである。図示の各種制御信号は、すべてSYCLK信号4を基準にして動作する。まず、コンピュータ1は、I/O拡張ボード2に対してアドレス(SA0~SA9)3を送出する。この時点でI/O拡張ボード2が16ビットの場合、IOCS16信号7をロウレベルにする（時点T2）。その後、コンピュータ1は、I/O拡張ボード2をリードする場合、IOR信号6をロウレベルにし、I/O拡張ボード2にライトする場合は、IOW信号5をロウレベルにする（時点T2）。

【0006】 I/O拡張ボード2は、IOR信号6又は

IOW信号5を受け取ることで、初めて自分がアクセスされていることを確認することができる。即ち、アドレス送出時には、メモリアクセス又はI/Oアクセスの区別がつかないため、確認ができない。ここで、ISAバス仕様では、16ビットのI/Oアクセスは標準的に1ウェイトが挿入される仕様である。従って、IOW信号5又はIOR信号6を受け取ったI/O拡張ボード2が2ウェイト以上を必要とする場合には、コンピュータ1に対して出力されるIOCHRDY信号8をロウレベルにする。これにより、2ウェイト以上の任意のウェイトを挿入していた。

## 【0007】

【発明が解決しようとする課題】 しかしながら、上述した従来の技術には、次のような問題があった。即ち、コンパクト化のため、標準拡張スロットを備えることのできない小型パーソナルコンピュータの機能を拡張するために、拡張ユニットを接続して、ISAバスを延長する場合、バッファ等の追加が必要になったり、接続ケーブルが長くなったりするため、以下の問題点が発生する。

【0008】 図3に示すように、IOR信号6又はIOW信号5をI/O拡張ボード2が受け取ってから、I/O拡張ボード2がISAバス仕様のコンピュータ1に対して、2ウェイト以上挿入しようすると、 $t = t_{T1} - t_1 - t_2$ の時間内にIOCHRDY信号8をロウレベルにしなければならない（時点T2）。つまり、この時間tを超えると、コンピュータ1は、標準である1ウェイト以内にIOCHRDY信号8を受信することができない。

【0009】 しかし、拡張ユニットを接続した場合には、IOCHRDY信号8が拡張ユニット内のバッファや接続ケーブルにより遅延する。このため、IOCHRDY信号8がI/O拡張ボード2から時間t以内にコンピュータ1に到達しない。その結果、I/O拡張ボード2が追加のウェイトを挿入できず、コンピュータ1が誤ったデータをリードライトしてしまうことがある。このような理由から、信号の遅延を伴う低速なI/O拡張ボードは接続できないという問題があった。本発明は、以上の点に着目してなされたもので、低速なI/O拡張ボードを利用することが可能な拡張ユニットのバス制御方式を提供することを目的とするものである。

## 【0010】

【課題を解決するための手段】 本発明の拡張ユニットのバス制御方式は、コンピュータから出力される入出力アドレスが、当該コンピュータの仕様に応じた標準ウェイト時間を超える信号遅延を伴う拡張ボードに割り当てられた範囲のアドレスであるか否かを判定し、当該範囲のアドレスであるときは、前記コンピュータからの入出力アクセス信号の出力時に当該コンピュータに対し、直ちに入出力ウェイト信号を出力するプログラマブルロジックアレイを設けたことを特徴とするものである。



## 【0011】

【作用】本発明の拡張ユニットのバス制御方式においては、プログラマブルロジックアレイにより、まず、コンピュータから出力される入出力アドレスが、当該コンピュータの仕様に応じた標準ウェイト時間を超える信号遅延を伴う拡張ボードに割り当てられた範囲のアドレスであるか否かが判定される。そして、当該範囲のアドレスであるときは、前記コンピュータからの入出力アクセス信号の出力時に当該コンピュータに対し、直ちに入出力ウェイト信号が出力される。

## 【0012】

【実施例】以下、本発明の実施例を図面を参照して詳細に説明する。図1は、本発明の拡張ユニットのバス制御方式の実施例のブロック図である。図示の拡張ユニットには、内蔵HDD（ハードウェアディスクデバイス）11が標準実装されている。更に、この拡張ユニットには、I/O拡張ボード2の実装用の図示しないスロットが1〜2基用意されている。内蔵HDD11は、ISAバス仕様の標準である1ウェイトで動作できる16ビットI/Oデバイスである。

【0013】I/O拡張ボード用拡張スロットには、任意のI/O拡張ボードが実装できる。この拡張スロットに低速の16ビットI/O拡張ボードを実装するために、自動的に2ウェイト挿入する回路をプログラミングしたPLA（プログラマブルロジックアレイ）10が用意されている。PLA10には、図1に示すようなバス制御信号3〜7が入力され、予めプログラムされた論理により、IOCHRDY-A信号9が以下のように出力される。

【0014】図示の拡張ユニットに標準実装されている内蔵HDD11が16ビットI/Oアクセスされる場合は、まず、内蔵HDD11のI/OアドレスがSA0〜SA9に出力される。PLA10は、SA0〜SA9を受け取ると、それが内蔵HDD11に割り当てられたI/Oアドレスであるかどうかを判定する。この判定は、PLA10に、アドレスSA0〜SA9と所定アドレスとの大小関係を判定するロジックを組み込むことにより行なわれる。ここで、コンピュータ1が出力したI/Oアドレスが内蔵HDD11のI/Oアドレスであれば、PLA10は、IOCHRDY-A信号8をロウレベルに落さない。その結果、内蔵HDDユニットへの16ビットI/Oリードライトは、ISAバス仕様の標準ウェイトのまま動作し、処理速度は低下しない。

【0015】また、コンピュータ1が出力したI/OアドレスがI/O拡張スロットに実装されたI/O拡張ボード2のI/Oアドレスである場合には、PLA10は、ISAバス仕様の標準サイクルに、1ウェイトを追加するため、IOCHRDY-A信号9をロウレベルに落す。その結果、拡張スロットに実装されている16ビットI/O拡張ボード2には、合計2ウェイトが挿入さ

れる。従って、本実施例によれば、内蔵HDD11以外の16ビットI/O拡張ボードには、すべて、2ウェイト以上のウェイトを挿入することが実現できる。

【0016】図4は、図1のコンピュータ1からI/O拡張ボード2へのアクセス動作を説明するタイムチャートである。図示の各種制御信号は、すべてSYSCLK信号4を基準にして動作する。まず、コンピュータ1は、I/O拡張ボード2に対してアドレス(SA0〜SA9)3を送出する(時点T2)。この時点でI/O拡張ボード2が16ビットの場合、IOCS16信号7をロウレベルにする。その後、コンピュータ1は、I/O拡張ボード2をリードする場合、IOR信号6をロウレベルにし、I/O拡張ボード2にライトする場合は、IOW信号5をロウレベルにする(時点T2)。

【0017】I/O拡張ボード2は、IOR信号6又はIOW信号5を受け取ることにより、初めて自分がアクセスされていることを確認することができる。即ち、アドレス送出時には、メモリアクセス又はI/Oアクセスの区別がつかないため、確認ができない。ここで、ISAバス仕様では、16ビットのI/Oアクセスは標準的に1ウェイトが挿入される仕様である。従って、IOW信号5又はIOR信号6を受け取ったI/O拡張ボード2が2ウェイト以上を必要とする場合には、PLA10がコンピュータ1に対して出力されるIOCHRDY-A信号9をロウレベルにする。これにより、もう1ウェイトを挿入する。

【0018】即ち、図4に示すように、IOR信号6又はIOW信号5をI/O拡張ボード2が受け取ってから、I/O拡張ボード2がISAバス仕様のコンピュータ1に対して、2ウェイト以上挿入しようとする、IOCHRDY信号8を出力する(時点T3)。この場合、IOCHRDY信号8は、拡張ユニット内のバッファや接続ケーブルにより遅延し、時間 $t_w = t_{T1} - t_1 - t_2$ の後にコンピュータ1に到達する。ところが、PLA10から出力されるIOCHRDY-A信号9は、バッファや長いケーブル等を介することがないため、コンピュータ1は、標準である1ウェイト以内にIOCHRDY-A信号9を受信することができる。これにより、2ウェイトされ、時点T5まで間、メモリ3が保証される(図中の実線部)。また、3ウェイトを必要とする場合には、時点T3までの間にI/O拡張ボード2からコンピュータ1にIOCHRDY信号8が送られることにより、時点6までの間、メモリ3が保証される(図中の点線部)。

## 【0019】

【発明の効果】以上説明したように、本発明の拡張ユニットのバス制御方式によれば、コンピュータの出力するアドレスをチェックし、ウェイト時間を追加するためのバス制御信号を出力するプログラマブルロジックアレイを設けたので、信号の遅延を伴う低速なI/O拡張ボー



ドを接続することができる。この結果、例えば、標準実装の16ビットI/Oデバイスを拡張ユニット内に設けるとともに、拡張スロットを設けた場合に、このI/Oデバイスのアクセス速度を低下させずに、ウェイト追加が必要な低速な16ビットI/O拡張ボードを拡張スロットに実装して使用することができる。

【図面の簡単な説明】

【図1】本発明の拡張ユニットのバス制御方式の実施例のブロック図である。

【図2】従来の拡張ユニットの接続状態を示す図であ

る。

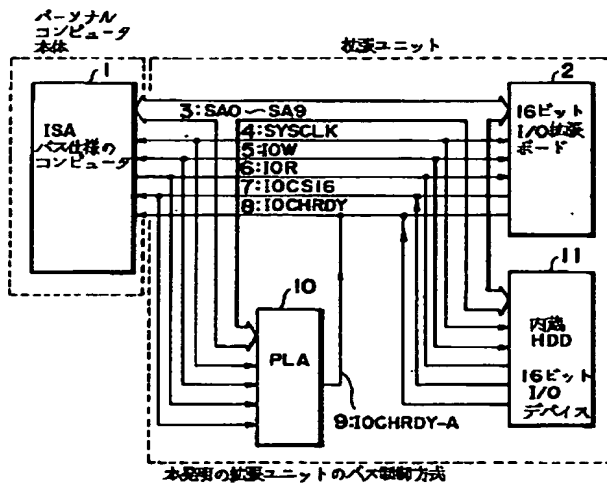
【図3】従来のI/Oアクセスタイミングを説明するタイムチャートである。

【図4】本発明の方式によるI/Oアクセスタイミングを説明するタイムチャートである。

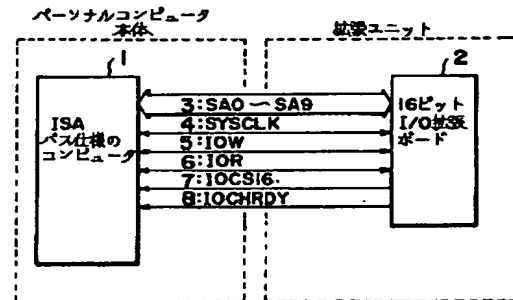
【符号の説明】

- 1 コンピュータ
- 2 I/O拡張ボード
- 10 PLA
- 11 内蔵HDD

【図1】

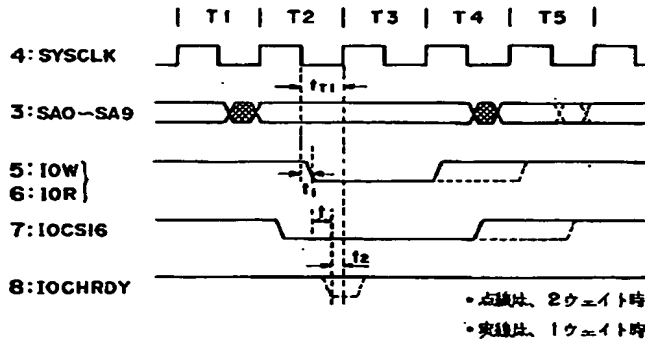


【図2】



従来の拡張ユニットの接続状態

【図3】



従来のI/Oアクセスタイミング



【図4】

